

item Non PTO 892

~~1/2~~ (7/8(05))

~~Application/Control Number: 10/804,713~~

Page 4

~~Art Unit: 2826~~

English Abstract

PAT-NO: JP02001093981A

DOCUMENT-IDENTIFIER: JP 2001093981 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

PUBN-DATE: April 6, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
KAJITA, AKIHIRO	N/A
AZUMA, KAZUYUKI	N/A
MATSUNAGA, NORIAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP11268360

APPL-DATE: September 22, 1999

INT-CL (IPC): H01L021/82

ABSTRACT:

PROBLEM TO BE SOLVED: To avoid adverse effects of splashes of fuse material caused by a blown-out fuse in a redundancy circuit in a semiconductor device provided with a semiconductor integrated circuit, using Cu wiring and the redundancy circuit.

SOLUTION: By using a fuse 6f, formed of Al or an alloy of Al exhibiting a smaller diffusion coefficient than Cu as fuse for a redundancy circuit, splashed fuse material is prevented from diffusing up to transistors formed on a silicon substrate 1.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-93981

(P2001-93981A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/82

識別記号

F I

H 0 1 L 21/82

テ-マ-コード\* (参考)

R 5 F 0 6 4

F

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平11-268360

(22) 出願日 平成11年9月22日 (1999.9.22)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 梶田 明広

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 東 和幸

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

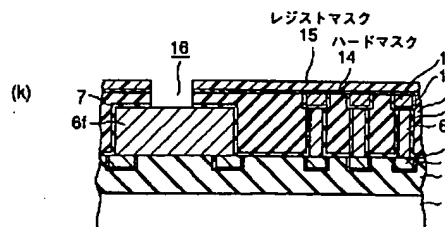
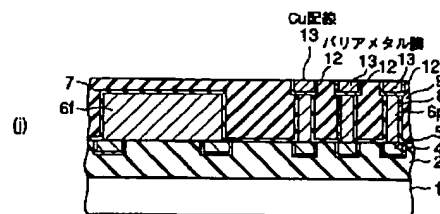
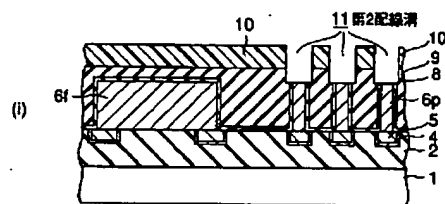
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 Cu配線を用いた半導体集積回路とリダグダンシー回路とを備えた半導体装置において、リダグダンシー回路のフューズの溶断によって生じるフューズ材料の飛散による悪影響を無くすこと。

【解決手段】 リダグダンシー回路のフューズとして、Cuよりも層間絶縁膜中における拡散係数の小さいAlまたはAl合金からなるフューズ6fを用いることによって、飛散したフューズ材料がシリコン基板1に形成されたトランジスタにまで拡散することを防止する。



## 【特許請求の範囲】

【請求項1】第1の導電性材料を主成分とする第1の配線を有する半導体集積回路と、

前記第1の導電性材料よりも拡散係数の小さい第2の導電性材料を主成分とするフューズを有する、前記半導体集積回路の不良個所を救済するためのリダンダンシー回路とを具備してなることを特徴とする半導体装置。

【請求項2】前記第1の配線は多層配線中の配線であり、かつ前記第1の配線は前記第2の導電性材料を主成分とするプラグを介して前記第1の配線の上または下の層の第2の配線と電気的に接続し、前記フューズは前記プラグと同一の層に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記第1の配線は多層配線中の配線であり、前記多層配線の最上層上には前記フューズ層および前記第2の導電性材料を主成分とするパッドが形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記第1の導電性材料は銅、前記第2の導電性材料はアルミニウムであることを特徴とする請求項1ないし請求項3のいずれか1項に記載の半導体装置。

【請求項5】第1の配線と、この第1の配線よりも上または下の層に形成され、プラグを介して前記第1の配線と電気的に接続する第2の配線とを含む多層配線を有する半導体集積回路と、

前記半導体集積回路の不良個所を救済するための、フューズを有するリダンダンシー回路とを具備してなる半導体装置の製造方法において、

第1の導電性材料を主成分とする第1の導電性膜を加工して、前記第1の配線を形成する工程と、

前記第1の配線の形成後または形成前に、前記第1の導電性材料よりも拡散係数の小さい第2の導電性材料を主成分とする第2の導電性膜を加工して、前記第2の配線および前記フューズを同一の層に同時に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】第1の配線を含む多層配線と、この多層配線の最上層上に形成されたパッドとを有する半導体集積回路と、

前記半導体集積回路の不良個所を救済するための、フューズを有するリダンダンシー回路とを具備してなる半導体装置の製造方法において、

第1の導電性材料を主成分とする第1の導電性膜を加工して、前記第1の配線を形成する工程と、

前記第1の導電性材料よりも拡散係数の小さい第2の導電性材料を主成分とする第2の導電性膜を加工して、前記パッドおよび前記フューズを同一の層に同時に形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路の

不良個所を救済するためのリダンダンシー回路（冗長回路）を含む半導体装置およびその製造方法に関する。

【0002】

【従来の技術】高性能ロジックLSIに代表される半導体装置では、高速動作のために伝達信号のRC遅延を抑制する必要がある。このため、微細金属配線の材料として、従来のAlまたはAl合金にかわり、Cuが注目されている。

【0003】Cu配線の使用にあたっては、配線以外の領域にCuが拡散することを防止する必要がある。その理由は、層間絶縁膜で一般に使用されているシリコン酸化膜等の絶縁膜中をCuが非常に速く拡散するため、例えばシリコン基板に形成したMOSトランジスタにまでCuが拡散してキャリア寿命が短くなったり、あるいはゲート酸化膜の耐圧が劣化するなどの問題が起こるからである。

【0004】そこで、一般にCu配線を使用する場合には、Cuに対して拡散防止機能を有するTiN膜やTa<sub>2</sub>N膜などの高融点金属の窒化物膜（バリアメタル膜）と、同じくCuに対して拡散防止機能を有するSiN膜などの絶縁膜とを組み合わせるにより、Cu配線の周囲に拡散防止層を形成する手段が採られている。

【0005】一方で、Cu配線の使用の有無に関わらず半導体装置では、その製造工程で不良となった回路を救済するために、半導体装置内に設けられたリダンダンシー回路のフューズを切断することにより予備回路への切り替えをすることが行われている。

【0006】このリダンダンシー技術は、半導体装置の集積度の増大に伴う良品取得の困難さを回避し、半導体装置の良品製造率を向上させるために益々重要な技術となってきた。

【0007】前述のフューズは、一般に半導体集積回路の多層配線のうちの1層と同一層に形成される。AlまたはAl合金配線とWプラグとを用いた多層配線構造を有する従来の半導体装置においては、AlまたはAl合金からなる配線状のフューズを形成する。

【0008】このようなフューズを形成した後、フューズ真上の絶縁膜をエッチング除去してフューズを露出させ、不良した回路に対応するフューズをレーザー照射により局所加熱することにより溶断し、回路救済を行う。

【0009】ところが、前述のようなAlフューズ構造を多層Cu配線を用いた半導体集積回路を救済するためのリダンダンシー回路のフューズに応用する場合、図7(a)に示すように、フューズ材料は多層配線材料と同じCuとなる。

【0010】なお、図において、81はシリコン基板に形成されたトランジスタ層、82は絶縁膜、83はCuからなるフューズ、84はCu配線、85は絶縁膜、86はレーザー用照射窓をそれぞれ示している。また、Cuの拡散防止膜およびビアプラグは省略してある。

【0011】この場合、図7(b)に示すように、レーザー照射87によって溶断されたフューズ83は、その一部(Cu)88がその周辺の絶縁膜82、85に飛散・付着し、Cu88が絶縁膜82を介してトランジスタ層81にまで拡散することにより、上述したようなキャリア寿命が短くなるなどのデバイス特性の劣化という問題が発生する。

【0012】また、CuはAlまたはAl合金に比べて融点が高いため、溶断に要するレーザーの出力を高くしなければならない。そのため、フューズ材料としてAlを用いた場合に比べて、半導体装置のフューズ以外の領域がより高温に加熱され、デバイス不良が発生しやすくなる。

【0013】

【発明が解決しようとする課題】上述の如く、従来のAl配線を用いた半導体集積回路を救済するために用いられているリダンダンシー回路のフューズ構造をそのままCu配線を用いた半導体集積回路を救済するためのリダンダンシー回路のフューズに応用すると、フューズ材料がCuとなるため、溶断されたCuが周辺の絶縁膜等に飛散・付着し、このCuがトランジスタ層まで拡散することにより、デバイス特性が劣化するという問題があった。

【0014】本発明は、上記事情を考慮してなされたもので、その目的とするところは、Cu等の拡散係数の大きい配線材料を使用しても、救済すべき半導体集積回路に悪影響を与えずに溶断できるフューズを有するリダンダンシー回路を備えた半導体装置およびその製造方法を提供することにある。

【0015】

【課題を解決するための手段】〔構成〕上記目的を達成するために、本発明に係る半導体装置は、第1の導電性材料を主成分とする第1の配線を有する半導体集積回路と、前記第1の導電性材料よりも拡散係数の小さい第2の導電性材料を主成分とするフューズを有する、前記半導体集積回路の不良箇所を救済するためのリダンダンシー回路とを備えていることを特徴とする。

【0016】本半導体装置の好ましい形態は以下の通りである。

【0017】(1) 第1の配線は多層配線中の配線であり、かつ第1の配線は第2の導電性材料を主成分とするプラグを介して第1の配線の上または下の層の第2の配線と電気的に接続し、フューズはプラグと同一の層に形成されている。

【0018】(2) 第1の配線は多層配線中の配線であり、多層配線の最上層にはフューズ層および第2の導電性材料を主成分とするパッドが形成されている。

【0019】(3) 本半導体装置および上記(1)、(2)において、第1の導電性材料は銅、第2の導電性材料はアルミニウムである。

【0020】本発明に係る半導体装置の製造方法は、第1の配線と、この第1の配線よりも上または下の層に形成され、プラグを介して前記第1の配線と電気的に接続する第2の配線とを含む多層配線を有する半導体集積回路と、フューズを有する、前記半導体集積回路の不良箇所を救済するためのリダンダンシー回路とを具備してなる半導体装置の製造方法において、第1の導電性材料を主成分とする第1の導電性膜を加工して、前記第1の配線を形成する工程と、前記第1の配線の形成後または形成前に、前記第1の導電性材料よりも拡散係数の小さい第2の導電性材料を主成分とする第2の導電性膜を加工して、前記第2の配線および前記フューズを同一の層に同時に形成する工程とを有することを特徴とする。

【0021】本発明に係る他の半導体装置の製造方法は、第1の配線を含む多層配線と、この多層配線の最上層に形成されたパッドとを有する半導体集積回路と、フューズを有する、前記半導体集積回路の不良箇所を救済するためのリダンダンシー回路とを具備してなる半導体装置の製造方法において、第1の導電性材料を主成分とする第1の導電性膜を加工して、前記第1の配線を形成する工程と、前記第1の導電性材料よりも拡散係数の小さい第2の導電性材料を主成分とする第2の導電性膜を加工して、前記パッドおよび前記フューズを同一の層に同時に形成する工程とを有することを特徴とする。

【0022】〔作用〕本発明(請求項1~6)では、リダンダンシー回路に用いるフューズ材料として、半導体集積回路に用いる配線材料よりも拡散係数の小さいものを用いる。したがって、リダンダンシーのためのレーザー照射溶断を行って、フューズ材料が飛散しても、救済すべき半導体集積回路は悪影響を受けない。

【0023】また、配線材料がCuの場合、フューズ材料は本発明(請求項4)のようにAlが好ましい。その理由は、AlはCuに比べて拡散係数が小さいことはもちろんのこと、Cuに比べて融点が高いため、その分より低温でフューズの溶断を行えるからである。フューズの溶断温度が低いほど素子が受ける悪影響は小さくなり、その結果として半導体集積回路の信頼性が向上する。

【0024】また、本発明(請求項5)によれば、同じ膜を加工してフューズと第1の配線を同時に形成しているので、工程数の増加を招かずに、フューズを形成することができる。同様に、本発明(請求項6)によれば、同じ膜を加工してフューズとパッドを同時に形成しているので、工程数の増加を招かずに、フューズを形成することができる。

【0025】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態(以下、実施形態という)を説明する。

【0026】(第1の実施形態)本実施形態の構造上の特徴は、多層Cu配線を用いた半導体集積回路を有する

半導体装置において、多層Cu配線のうちの少なくとも1つのビアプラグをAlまたはAl合金により形成し、このAlまたはAl合金からなるビアプラグが形成されている層と同一層に、上記半導体集積回路を救済するためのリダグダンシー回路のフューズとして、AlまたはAl合金からなるフューズを設けることにある。半導体集積回路は、例えばDRAMのメモリアルレイである。

【0027】また、本実施形態では、多層Cu配線のビアプラグの形成にあたって、層間絶縁膜に開孔されたビアホール内を金属膜で埋め込む工程を有する通常の形成方法とは異なり、Al膜またはAl合金膜を堆積し、これをリソグラフィーと反応性イオンエッチング(RIE: Reactive Ion Etching)を用いて加工し、AlまたはAl合金からなる柱状構造物(Alビラー)を形成し、この柱状構造物をCu配線間を接続するためのビアプラグとする形成方法を採用する。

【0028】ここでは、配線間のコンタクトを取るためのビアプラグの場合について説明するが、基板表面に形成された拡散層とコンタクトを取るコンタクトプラグの場合についても同様に本発明を適用できる。

【0029】各層のCu配線は、層間絶縁膜にリソグラフィーとRIEを用いて形成した配線溝内にCu膜およびバリアメタル膜を埋め込むダマシン法(Damascene)により形成する。

【0030】本実施形態のプロセス上の特徴は、上述したAl膜またはAl合金膜をリソグラフィーとRIEにより加工してビアプラグを形成する際に、リダグダンシー回路のAlまたはAl合金からなるフューズも同時に形成することにある。ビアプラグおよびフューズは同一のリソグラフィー工程とRIE工程により形成するので、フューズを形成するための特別の工程は不要である。

【0031】以下、図1～図3を用いて本発明の第1の実施形態に係る半導体装置の製造方法について具体的に説明する。なお、ここでは、本発明の特徴である半導体集積回路の多層配線とリダグダンシー回路のフューズを中心に説明し、半導体集積回路自身およびリダグダンシー回路自身については従来と同じなので省略する。

【0032】まず、図1(a)に示すように、シリコン基板1上に第1層間絶縁膜2を形成し、この第1層間絶縁膜2に通常のリソグラフィー技術およびRIE技術を用いて第1配線溝3を形成する。図には5つの配線溝3が示されているが、その個数は5つには限定されない。また、シリコン基板1には半導体集積回路を構成するMOSトランジスタ等の能動素子およびキャパシタ等の受動素子が集積形成されている。

【0033】次に図1(b)に示すように、第1配線溝3の内部を埋め込むように、Cu拡散防止のためのバリアメタル膜としてのTa<sub>2</sub>N膜4、埋込み(ダマシン)型

の第1Cu配線となるCu膜5を順次全面に堆積する。Ta<sub>2</sub>N膜4およびCu膜5の成膜方法としては、既知のスパッタリング法、CVD法およびメッキ法のいずれを用いても良い。

【0034】次に図1(c)に示すように、CMP(Chemical Mechanical Polishing)法を用いて、第1配線溝3の外部のTa<sub>2</sub>N膜4およびCu膜5を除去することによって、第1Cu配線(第1Cuダマシン配線)5を形成する。

【0035】次に図1(d)に示すように、ビアプラグおよびフューズの高さに相当する厚さのAl膜またはAl合金膜6をスパッタリング法を用いて全面に堆積する。ここで、Al合金膜とは、Al膜に微量のCuもしくはSiを含有した合金膜、またはAl膜に微量のCuおよびSiを含有した合金膜である。

【0036】次に同図(d)に示すように、リソグラフィー技術を用いてAl膜またはAl合金膜6上にレジストパターン7を形成する。レジストパターン7は、ビアプラグおよびフューズが配置される予定領域にレジストが残置したパターンを持っている。

【0037】次に図2(e)に示すように、レジストパターン7をエッチングマスクとしてAl膜またはAl合金膜6をRIE法によりエッチングし、ビアプラグ予定領域にAlまたはAl合金からなるビアプラグ6pを形成し、フューズ予定領域に配線形状のAlまたはAl合金からなるフューズ6fを形成する。この後、レジストパターン7を剥離する。

【0038】次に図2(f)に示すように、ビラー6pおよびフューズ6fを覆うように、Si<sub>3</sub>N<sub>4</sub>膜8および第2層間絶縁膜9を順次全面に堆積する。

【0039】Si<sub>3</sub>N<sub>4</sub>膜8は、第1Cu配線5の上面からのCuの拡散および酸化を防止するための保護膜である。第2層間絶縁膜9は、プラズマCVD法やスピコート法を用いて堆積される。第2層間絶縁膜9としては、通常のSiO<sub>2</sub>膜の他に、Fが添加されたSiO<sub>2</sub>膜もしくは有機シリケート膜、または無機シリケート膜もしくは有機膜を使用することができ、またはこれらの絶縁膜から選ばれた2層以上の積層膜を使用しても良い。

【0040】次に図2(g)に示すように、CMP法等の平坦化技術を用いて、第2層間絶縁膜9の表面を平坦化する。

【0041】次に図2(h)に示すように、リソグラフィー技術を用いて、第2層間絶縁膜9上にレジストパターン10を形成する。レジストパターン10は、ビアプラグ6pと接続する埋込み型の第2Cu配線(第2Cuダマシン配線)が配置される予定領域のレジストが除去されたパターンを持っている。

【0042】次に図3(i)に示すように、レジストパターン10をエッチングマスクとして第2層間絶縁膜9

7

をRIE法によりエッチングし、第2Cuダマシン予定領域にピラー6pに達する第2配線溝11を形成する。この後、レジストパターン10を剥離する。

【0043】次に図3(j)に示すように、Ta<sub>2</sub>N膜4および第1Cu配線5の形成工程と同様に、第2配線溝11内にTa<sub>2</sub>N膜(バリアメタル膜)12および第2Cu配線13を埋込み形成する。

【0044】最後に、図3(k)に示すように、保護膜としてのSi<sub>3</sub>N<sub>4</sub>膜14、SiO<sub>2</sub>膜15を全面に順次堆積した後、フューズ6f上の所定の位置に通常のリソグラフィ技術およびRIE技術を用いて、Si<sub>3</sub>N<sub>4</sub>膜8にレーザー照射用窓16を開孔する。

【0045】本実施形態では、配線材料としてCuを使用しているが、フューズ材料としてはCuに比べて絶縁膜(SiO<sub>2</sub>膜)中における拡散係数が小さいAlまたはAl合金を使用している。

【0046】そのため、半導体集積回路を救済するために、フューズ6fをレーザー照射によって溶断した際に、フューズ材料(AlまたはAl合金)が飛散しても、Cuが飛散した場合とは異なり、フューズ材料がシリコン基板に形成したトランジスタ等にまで拡散することを防止できるので、半導体集積回路を構成する素子に悪影響を与えることがない。

【0047】したがって、本実施形態によれば、高速化や省電力化に有効なCu配線を効果的に用いることができ、Cu配線を有する高性能半導体集積回路とリダンダンシー回路を備えた半導体装置を実現することが可能となる。

【0048】また、本実施形態の半導体装置の多層配線構造は、従来一般に用いられているCuデュアルダマシン構造とは異なり、ビアプラグ材料がCuではなくAlまたはAl合金となるが、このことはビア抵抗(コンタクト抵抗)がデュアルダマシン構造に比べて高くなることを意味しない。

【0049】何故なら、Cuビアプラグを用いた場合、Cuの層間絶縁膜中への拡散を防止するために、Cuビアプラグの側面に比抵抗が高いバリアメタル膜を形成する必要があるため、Alビアプラグを用いた本実施形態に比べて、ビア抵抗(コンタクト抵抗)がより高くなってしまう場合があるからである。したがって、本実施形態のような多層Cu配線を形成しながら、リダンダンシー用のAlフューズを形成しても、多層Cu配線の性能を損なうことはない。

【0050】さらに、AlまたはAl合金の融点はCuの融点よりも低いため、より低温でフューズの溶断を行えるようになり、その結果としてレーザー照射加熱による半導体装置へのダメージを抑制することができる。

【0051】なお、本実施形態ではCu配線が2層の多層配線の場合について説明したが、本発明はCu配線が3層以上の多層配線にも適用可能である。この場合、複

8

数層のビアプラグのうち少なくとも1層がAlまたはAl合金からなるビアプラグとなり、このビアプラグと同一層にAlまたはAl合金からなるフューズを設ければ良い。

【0052】図4に、本実施形態の変形例を示す。これは、図4(a)に示すように、Al膜またはAl合金膜6を形成した後、その上にSi<sub>3</sub>N<sub>4</sub>等のAlエッチングに対して選択性がある、エッチングマスク(ハードマスク)となる薄膜14を堆積し、次に図4(b)に示すように、レジストマスク15をマスクにして薄膜14をRIE法にてエッチングし、エッチングマスク(ハードマスク)14を形成し、次に図4(c)に示すように、ハードマスク14をエッチングマスクとしてAl膜またはAl合金膜6をRIE法にてエッチングし、ピラー6pおよびフューズ6fを形成するというものである。ハードマスク14の利用は、Al膜またはAl合金膜6のエッチングマスクとしてレジストマスクのみを用いる場合に比べて、より高アスペクト比のビアプラグ6pの形成を可能とする。

【0053】(第2の実施形態)本実施形態の構造上の特徴は、多層Cu配線を用いた半導体集積回路を有する半導体装置において、半導体装置の最上層に存在するボンディングパッド(以下、単にパッドという)をAlまたはAl合金にて形成し、このパッドが形成された層と同一層(最上層)にAlまたはAl合金からなるフューズを設けることにある。

【0054】また、本実施形態のプロセス上の特徴は、Al膜またはAl合金膜をリソグラフィとRIEにより加工してパッドを形成する際に、リダンダンシー回路のAlまたはAl合金からなるフューズも同時に形成することにある。パッドおよびフューズは同一のリソグラフィ工程とRIE工程により形成するので、フューズを形成するための特別の工程は不要である。

【0055】以下、図5および図6を用いて本発明の第2の実施形態に係る半導体装置の製造方法について説明する。なお、ここでは、本発明の特徴である半導体集積回路の多層配線とボンディングパッドとリダンダンシー回路のフューズを中心に説明し、半導体集積回路自身およびリダンダンシー回路自身については従来と同じなので省略する。

【0056】まず、図5(a)に示したように、シリコン基板21上に、層間絶縁膜22、Ta<sub>2</sub>N膜(バリアメタル膜)23<sub>1</sub>、23<sub>2</sub>およびCu配線24<sub>1</sub>、24<sub>2</sub>からなる多層Cu配線25を形成する。シリコン基板21には半導体集積回路等を構成するトランジスタ等の能動素子およびキャパシタ等の受動素子が集積形成されている。Cu配線24<sub>2</sub>は多層Cu配線25の最上層のCu配線である。

【0057】多層Cu配線25の形成方法としては、Cu配線とCuビアプラグを一括形成するデュアルダマシ

ン方法を用いても良いし、第1の実施形態に説明したような埋込みCu配線とAlピラーにより形成したAlビ  
アプラグを用いても良い。Cuデュアルダマシン構造の  
形成手段は従来より用いられている方法のいずれも用い  
ることが可能である。図には、デュアルダマシン方法に  
より形成した多層Cu配線25が示されている。また、  
図には、2層の多層Cu配線25が示されているが、3  
層以上でも良い。

【0058】次に図5(b)に示すように、TiN膜  
(バリアメタル膜)26、パッドとなるAl膜またはAl  
合金膜27をスパッタリング法にて全面に順次堆積す  
る。

【0059】次に図5(c)に示すように、通常のリソ  
グラフィ技術を用いて、パッドが形成される予定領域  
およびフューズが形成される予定領域に、レジストが選  
択的に残置したパターンを有するレジストパターン28  
を形成する。

【0060】次に図6(d)に示すように、レジストパ  
ターン28をエッチングマスクとしてAl膜または合金  
膜27およびバリアメタル膜26をRIE法にてエッチ  
ングし、AlまたはAl合金からなるパッド27pとフ  
ューズ27fを形成する。この後、レジストパターン2  
8を剥離する。

【0061】次に図6(e)に示すように、保護膜とし  
てのSiN膜29およびSiO<sub>2</sub>膜30を通常のCVD  
法にて全面に順次堆積する。CVD法以外の他の成膜法  
を用いても良い。

【0062】最後に、図6(f)に示すように、フュー  
ズ26f上の所定の位置に通常のリソグラフィ技術お  
よびRIE技術を用いてレーザー照射用窓31を開孔す  
る。

【0063】本実施形態では、配線材料としてCuを使  
用しているが、フューズ材料としてはCuに比べて絶縁  
膜(SiO<sub>2</sub>膜)中における拡散係数が小さいAlまた  
はAl合金を使用しているため、半導体集積回路を救済  
するために、フューズ26fをレーザー照射によって溶  
断した際にフューズ材料が飛散しても、半導体集積回路  
を構成するデバイスに悪影響を与えることがない。

【0064】したがって、本実施形態によれば、高速化  
や省電力化に有効なCu配線を効果的に用いることがで  
き、Cu配線を有する高性能半導体集積回路とリダグ  
ンシー回路を備えた半導体装置を実現することが可能と  
なるその他、第1の実施形態と同様な効果が得られる。

【0065】なお、本実施形態では、多層配線の全配線  
がCu配線として説明したが、多層配線の一部の層をA  
l配線としている場合には、そのAl配線を形成する際  
に同時にAlフューズを形成することも可能である。

【0066】なお、本発明は、上記実施形態に限定され  
るものではない。例えば、上記実施形態では、フューズ  
材料としてAlを用いたが、Cuよりも層間絶縁膜中の

拡散形成数が小さい他の物質を用いても良い。また、上  
記実施形態では、Cu配線とAl(AI合金)フューズ  
との組合せの場合について説明した、本発明は、配線材  
料よりもフューズ材料のほうが拡散係数が小さい他の配  
線とフューズとの組合せに対しても有効である。その  
他、本発明の要旨を逸脱しない範囲で、種々変形して実  
施できる。

#### 【0067】

【発明の効果】以上詳説したように本発明によれば、リ  
ダグンシー回路に用いるフューズ材料として、半導体  
集積回路に用いる配線材料よりも拡散係数の小さいもの  
を用いているので、半導体集積回路を救済するためにフ  
ューズをレーザー照射によって溶断する際にフューズ材  
料が飛散しても、救済すべき半導体集積回路が悪影響  
を受けることはない。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の製  
造方法を示す工程断面図

【図2】図1に続く同半導体装置の製造方法を示す工程  
断面図

【図3】図2に続く同半導体装置の製造方法を示す工程  
断面図

【図4】第1の実施形態の変形例を示す工程断面図

【図5】本発明の第2の実施形態に係る半導体装置の製  
造方法を示す工程断面図

【図6】図5に続く同半導体装置の製造方法を示す工程  
断面図

【図7】従来の半導体装置の製造方法を示す工程断面図

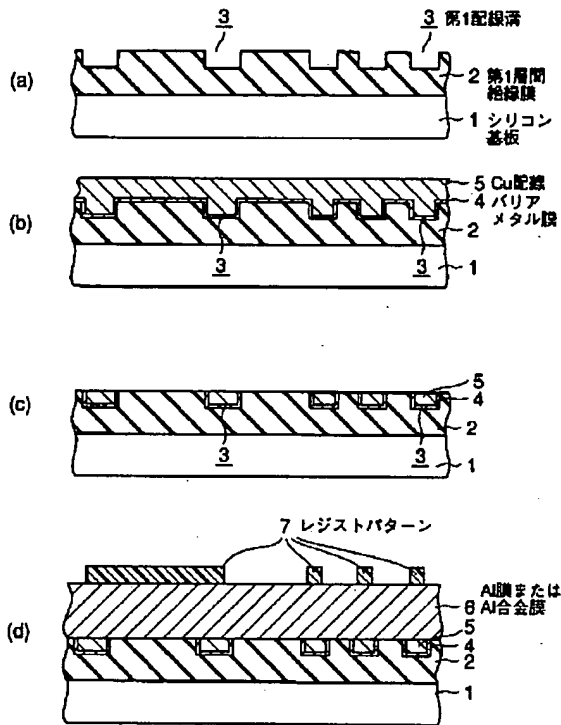
#### 【符号の説明】

- 1…シリコン基板
- 2…第1層間絶縁膜
- 3…第1配線溝
- 4…Ta<sub>2</sub>N<sub>5</sub>膜
- 5…Cu配線(第1の配線)
- 6…Al膜またはAl合金膜
- 6p…ピラー
- 6f…フューズ
- 7…レジストパターン
- 8…SiN膜
- 9…第2層間絶縁膜
- 10…レジストパターン
- 11…第2配線溝
- 12…Ta<sub>2</sub>N<sub>5</sub>膜(バリアメタル膜)
- 13…Cu配線(第2の配線)
- 14…ハードマスク
- 15…レジストマスク
- 21…シリコン基板
- 22…層間絶縁膜
- 23<sub>1</sub>, 23<sub>2</sub>…バリアメタル膜
- 24<sub>1</sub>, 24<sub>2</sub>…Cu配線

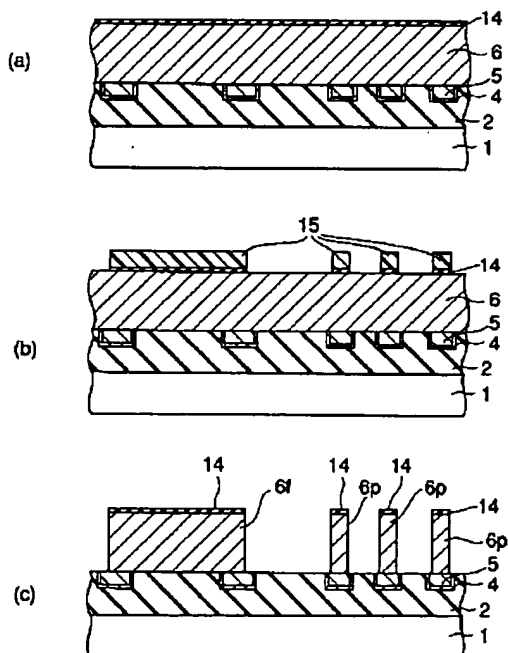
11

25...多層Cu線  
 26...TaN膜 (バリア金属膜)  
 27p...パッド  
 27f...フューズ

【図1】



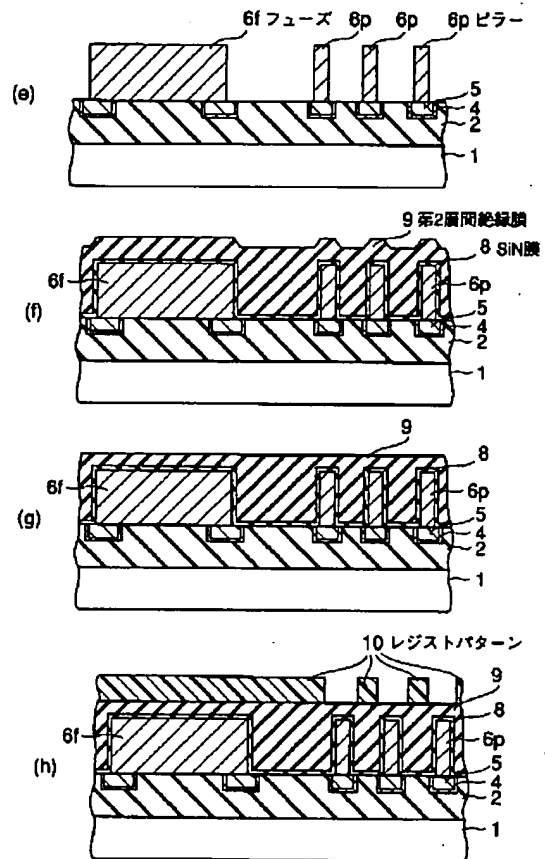
【図4】



12

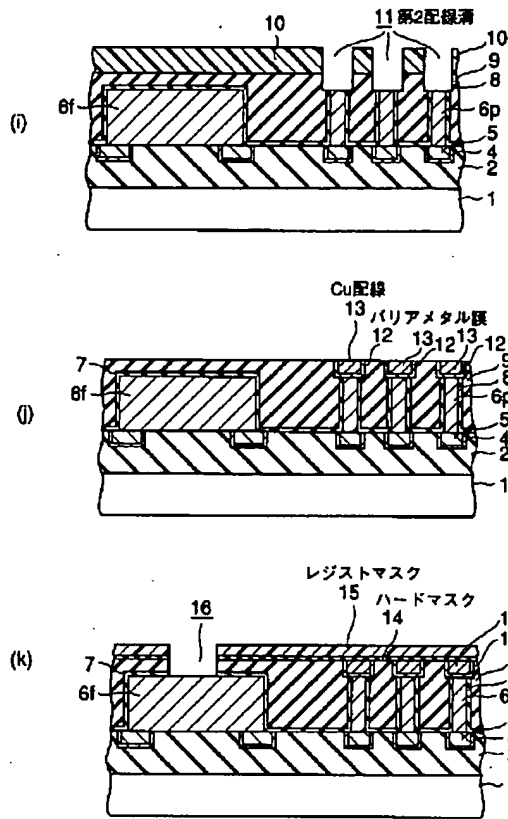
28...レジストパターン  
 29...SiN膜  
 30...SiO<sub>2</sub>膜  
 31...レーザー照射用窓

【図2】

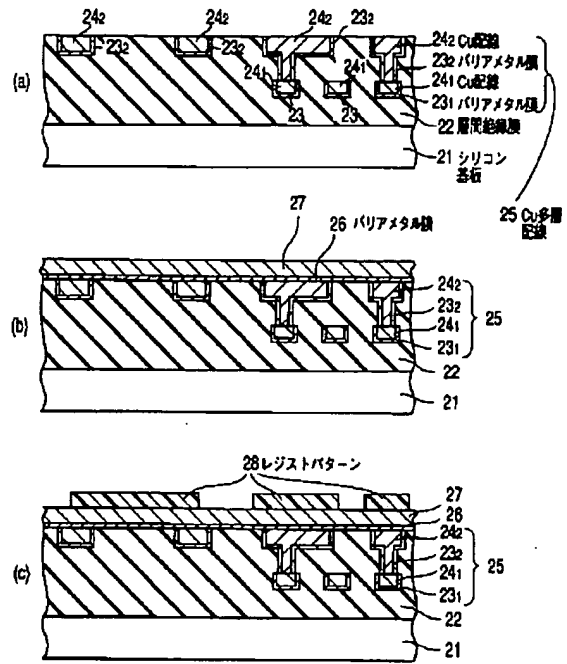




【図3】



【図5】



【図7】

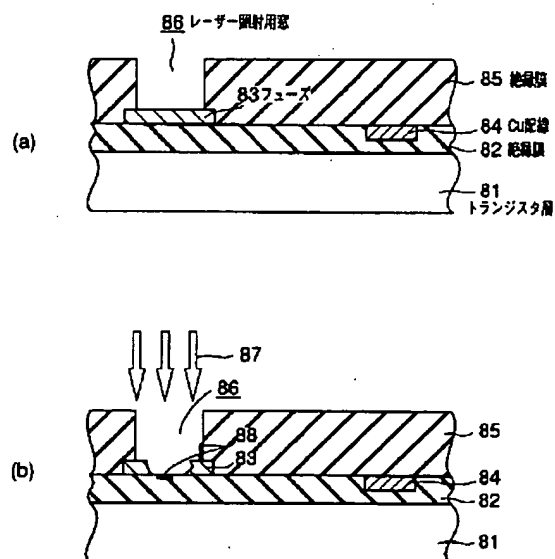


Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (d), (e), and (f), showing the progression of its manufacturing process.

- (d) Initial Structure:** This view shows a substrate 21 with a base layer 22. On top of the base layer, there are several layers: 231, 241, 242, 26, and 27p. A central region is labeled 26, and a side region is labeled 27i. A dashed line indicates a boundary or interface.
- (e) After SiO<sub>2</sub> film and SiAlN film deposition:** This view shows the same structure as (d), but with an additional layer 30 (SiO<sub>2</sub> film) and a layer 29 (SiAlN film) deposited on top of the 27p and 26 regions. The layers 231, 241, 242, 26, and 27p are still present.
- (f) After laser irradiation:** This view shows the structure after laser irradiation. A new layer 31 (laser irradiation layer) is formed on top of the 27p and 26 regions. The layers 231, 241, 242, 26, and 27p are still present.

Fターム(参考) 5F064 DD42 EE22 EE27 EE32 FF02  
FF27 FF32 FF42